

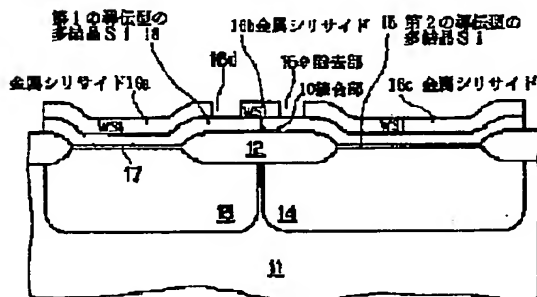
**JP06005603 A**  
**SEMICONDUCTOR DEVICE**  
**SONY CORP**

**Inventor(s): ;SASAKI MASAYOSHI ;KOBAYASHI KAZUYOSHI**

**Application No. 04183068 JP04183068 JP, Filed 19920617,A1 Published 19940114**

**Abstract: PURPOSE:** To solve the problem of mutual diffusion of impurities by a method wherein a part of silicide, excluding the junction part between of polycrystalline Si layers of different conductivity types, on two kinds of wiring layers of different conductivity types.

**CONSTITUTION:** The semiconductor device has a first wiring, consisting of a first conductivity type polycrystalline Si 18 and a multilayer film of metal or metal silicides 16a and 16b, and a second wiring consisting of a second conductivity type polycrystalline Si 15 and a multilayer of metal or metal silicides 16b and 16c. The silicides are removed at removing parts 16d and 16e, excluding the junction part 10 between the different conductivity type polycrystalline Si layers, on the above-mentioned two wiring layers. As a result, the problem in which impurities are mutually diffused is solved in the structure formed by connecting the two different conductivity type semiconductor materials.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-5603

(43)公開日 平成6年(1994)1月14日

(51) Int.Cl.<sup>5</sup>

H O 1 L 21/3205

27/092

識別記号

室内整理番号

FI

### 技術表示箇所

7735-4M

9054-4M

H01L 21/88

27/ 08

Q

3 2 1 F

審査請求 未請求 請求項の数3(全 7 頁)

(21)出願番号

特願平4-183068

(22)出願日

平成4年(1992)6月17日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 佐々木 正義

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 小林 和好

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 高月 亨

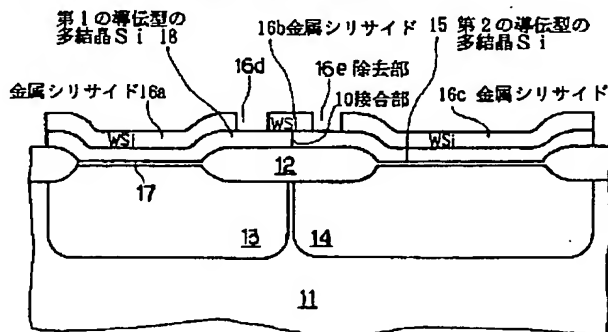
(54)【発明の名称】 半導体装置

(57) 【要約】

【目的】異なる導伝型を有する半導体材料層が接続して成る構造について不純物の相互拡散が起きるという問題を解決し、しかも不必要なPN接合ができてしまうなどの不都合の生じない半導体装置、及びその製造方法を提供する。

【構成】 第１の導伝型の多結晶Ｓｉと金属あるいは金属シリサイドの多層膜による第１の配線と、第２の導伝型の多結晶Ｓｉと金属あるいは金属シリサイドの多層膜による第２の配線とを有する半導体装置において、上記２種の配線層は、異なる導伝型の多結晶Ｓｉ同士の接合部を除く一部のシリサイドが除去されている半導体装置、及びその製造方法。

### 実施例 1 の構造（断面）



## 【特許請求の範囲】

【請求項1】第1の導伝型の多結晶Siと金属あるいは金属シリサイドの多層膜による第1の配線と、第2の導伝型の多結晶Siと金属あるいは金属シリサイドの多層膜による第2の配線とを有する半導体装置において、上記2種の配線層は、異なる導伝型の多結晶Si同士の接合部を除く一部のシリサイドが除去されていることを特徴とする半導体装置。

【請求項2】第1の導伝型の多結晶Siと金属あるいは金属シリサイドの多層膜による第1の配線と、第2の導伝型の多結晶Siと金属あるいは金属シリサイドの多層膜による第2の配線とを有する半導体装置において、上記第1、第2の2種の配線層相互の接続部は多結晶Siと金属あるいはシリサイドの積層膜で構成され、接続部に近接する配線領域あるいはトランジスタのゲート部分の少なくとも一部で上記金属あるいはシリサイド層が除去されていることを特徴とする半導体装置。

【請求項3】P型ポリSiとN型ポリSi層とが接続して成る半導体材料層と、金属あるいは金属シリサイドから成る多層配線構造を備える半導体装置の製造方法において、

半導体基板上に第1の導伝型のポリSiと第2の導伝型のポリSiから成る半導体材料層を形成し、  
次いで、該半導体材料層上に金属あるいは金属シリサイド層を形成し、

前記第1の導伝型のポリSiと第2の導伝型のポリSiとの接合部以外の箇所において金属あるいは金属シリサイド層の一部を除去する工程を備えることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置及び半導体装置の製造方法に関する。特に、ポリSiから成る半導体材料層と、金属あるいは金属シリサイドから成る導電材料層との多層膜から成る配線構造を備える半導体装置、及びその製造方法に関するものである。

## 【0002】

【従来の技術】各種の半導体装置の分野において、半導体材料層と導電材料層との多層膜から成る配線構造を備える構成のものが使用されるようになってきている。

【0003】例えば、MOS半導体集積回路のゲート配線、電極材料としては、従来ポリSi（多結晶Si）膜が用いられていたが、更なる低抵抗化により回路の高速動作を行うために、いわゆるポリサイド、即ち半導体材料層であるポリSi層と導電材料層である金属シリサイド層の多層膜（金属シリサイドではなく、金属を用いる構造もある）が用いられるようになってきた。このとき、ポリSiには、一般に、N型不純物が多量にドーピングされていた。

【0004】一方、異なる導伝型の半導体材料層を接続

する構造が要せられる場合が出てきた。例えば、CMOS集積回路の微細化に伴って、PMOSのゲート電極にはP型ポリSiを、NMOSのゲート電極にはN型ポリSiを用いた方が、トランジスタのショートチャネル効果を抑制できるなどの利点があるため、上記ポリサイドをP型ドーピングとN型ドーピングの2種類作り分けることが行われるようになってきた。（信学技報39-44頁、深見他）「P型N型ポリサイド電極同時形成技術」参照）。

【0005】ところがこの場合、上層のシリサイド膜を通して不純物が相互拡散し、ゲート電極中のP、Nの不純物濃度が設定値から大きくずれてしまうという問題があった。これについては、IEEE ELECTRON DEVICE LETTERS, VOL. 12, NO. 12, DECEMBER 1991 "Technology Limitations for N<sup>+</sup>/P<sup>+</sup> Polycide Gate CMOS due to Lateral Dopant Diffusion in Silicide/Polysilicon Layers" (Charles L. Chu, et. al.) を参照されたい。

【0006】図2は、上記のような問題を有する従来の構造を模式的に示す断面図であり、11はSi基板、12は素子分離用フィールド酸化膜、13はPウェル、14はNウェル、15は一方の導伝型の半導体材料層であるP型ポリSi、16は導電材料層であるタングステンシリサイド、17はゲート酸化膜、18は他方の導伝型の半導体材料層であるN型ポリSiを示している。先にも述べたように、タングステンシリサイド16を通して、一方の導伝型の半導体材料層15の例えばP型不純物、例えばボロンと、他方の導伝型の半導体材料層18の例えばN型不純物が相互拡散し、両層15、18における不純物濃度が変動してしまう。従って、図2に示したように、NMOSとPMOSトランジスタの間隔Sを10μm以上とるなどの対策が必要であった。なお、直接ポリSi半導体材料層15、18の界面を通しての拡散は、導電材料層16を通しての拡散に比べると小さいことが知られている（前掲のC. L. Chu, et. al. の論文参照）。

【0007】上記のような問題点は、異なる導伝型の半導体材料層が接続し、かつ導電材料層を有する配線構造においては共通して起こり得る問題である。

【0008】また、半導体材料層と導電材料との多層膜から成る配線構造を備える構造のものにおいては、例えば上述したような問題が起こり得るものである。

【0009】上記のような、半導体材料層と導電材料層とを備える配線構造を有する場合に生ずる、異なる導伝型を有する半導体材料層が接続して成る構造について不純物の相互拡散が起きるという問題を解決するため、本出願人は、図3に示す構造の半導体装置を提案している。

【0010】図3に示す改良例は、第1の導伝型の半導体材料層18であるポリSi（例えばN型ポリSi）とシリサイド等の導電材料層との多層膜から成る配線層と、第2の導伝型の半導体材料層15であるポリSi（例えば

P型ポリSi)とシリサイド等の導電材料層との多層膜から成る配線層とを備える半導体装置において、タングステンシリサイド等の導電材料層が図の如く16a, 16bとに、この部分では分離されていることにより、上記2種の配線層相互の接続が半導体材料18, 15によってのみなされる部分を有する構成としたものである。

【0011】この構成であると、上記分離の結果、タングステンシリサイドを通した不純物の横方向拡散は抑えられる。従って、NMOS, PMOS間の間隔S'を小さくでき、LSIの集積密度を向上させることができる。

【0012】しかし図3に示したような改良構造では、導伝型が異なる半導体材料層同士、例えばP型ポリシリコン15とN型ポリシリコン18との間にダイオードが形成されてしまうという問題がある。本来、導電材で構成されるべき配線層内にPN接合ができてしまうことは、LSI等の半導体装置の回路特性上、著しい不都合を生じのおそれがある。

【0013】

【発明の目的】本発明は、異なる導伝型を有する半導体材料層が接続して成る構造について不純物の相互拡散が起きるという問題を解決できるとともに、上記したように不必要なPN接合ができてしまうなどの不都合の生じない半導体装置、及びその製造方法を構成することを目的とする。

【0014】

【問題点を解決するための手段】本出願の請求項1の発明は、第1の導伝型の多結晶Siと金属あるいは金属シリサイドの多層膜による第1の配線と、第2の導伝型の多結晶Siと金属あるいは金属シリサイドの多層膜による第2の配線とを有する半導体装置において、上記2種の配線層は、異なる導伝型の多結晶Si同士の接合部を除く一部のシリサイドが除去されていることを特徴とする半導体装置であって、これにより上記目的を達成するものである。

【0015】本出願の請求項2の発明は、第1の導伝型の多結晶Siと金属あるいは金属シリサイドの多層膜による第1の配線と、第2の導伝型の多結晶Siと金属あるいは金属シリサイドの多層膜による第2の配線とを有する半導体装置において、上記第1, 第2の2種の配線層相互の接続部は多結晶Siと金属あるいはシリサイドの積層膜で構成され、接続部に近接する配線領域あるいはトランジスタのゲート部分の少なくとも一部で上記金属あるいはシリサイド層が除去されていることを特徴とする半導体装置であって、これにより上記目的を達成するものである。

【0016】本出願の請求項3の発明は、P型ポリSiとN型ポリSi層とが接続して成る半導体材料層と、金属あるいは金属シリサイドから成る多層配線構造を備える半導体装置の製造方法において、半導体基板上に第1

の導伝型のポリSiと第2の導伝型のポリSiから成る半導体材料層を形成し、次いで、該半導体材料層上に金属あるいは金属シリサイド層を形成し、前記第1の導伝型のポリSiと第2の導伝型のポリSiとの接合部以外の箇所において金属あるいは金属シリサイド層の一部を除去する工程を備えることを特徴とする半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0017】

【作用】本出願の発明によれば、異なる導伝型の多結晶Si同士が接合している場合、例えば異なる導伝型を有するN型ポリサイドと、P型ポリサイドとが接続して成る構造のものである場合も、両者の間のシリサイド層を除去する構成にすることができ、これにより不純物の相互拡散を抑えることができ、NMOSとPMOSとの間の距離を小さくして集積密度を上げることができる。かつ、シリサイド除去は、異なる導伝型のポリSiの接合部以外の部分においてなされるので、不必要なPN接合の生成がない。また、このような半導体装置を容易に得ることができる。

【0018】

【実施例】実施例1

以下本発明の実施例について、図面を参照して説明する。但し当然のことではあるが、本発明は図示の実施例により限定を受けるものではない。

【0019】図1に、本実施例の半導体装置を断面で示す。本実施例の半導体装置は、第1の導伝型の多結晶Si18と金属あるいは金属シリサイド16a, 16bの多層膜による第1の配線と、第2の導伝型の多結晶Si15と金属あるいは金属シリサイド16b, 16cの多層膜による第2の配線とを有する半導体装置であって、上記2種の配線層は異なる導伝型の多結晶Si同士の接合部10を除く一部のシリサイドが除去されている（除去部を16d, 16eで示す）ものである。

【0020】また、上記第1, 第2の2種の配線層相互の接続は、符号10で示す部分である接合部において、多結晶Si18, 15と金属あるいはシリサイド16bの両者の積層膜で構成され、接続部（接合部）10に近接する配線領域あるいはトランジスタのゲート部分の少なくとも一部で上記金属あるいはシリサイド層が除去されている（除去部を16d, 16eで示す）ものである。

【0021】図4は本実施例のCMOS回路パターンの平面図の模式図である。図4中、31, 32はそれぞれNMOSTrのソース・ドレイン、33, 34はPMOSTrのソース・ドレイン、43はP型にドーブされたタングステンポリサイド、41はポリサイド膜において、上層のタングステンシリサイドが除去された領域、46はN型にドーブされたポリサイドを示している。また47はコンタクトホールである。図から明らかにわかるように、N型ポリサイドとP型ポリサイドの境界部分（図4に符

号10で示す部分)でタングステンシリサイド膜16bが残され(図1参照)、その部分のPN接合をショートさせている。また、その近傍にシリサイドを除去した部分があるので、ここでの相互拡散は小さく抑えられている。

【0022】接合部での相互拡散は、シリサイドの幅が小さいので、主にポリシリコン18、15の拡散に律速されるので、シリサイドの影響は小さい。

【0023】図5ないし図8は、本実施例のプロセス工程を示したものである。まず、ごく一般的に知られている方法によって、素子分離フィールド領域12、ゲート酸化膜17、ノンドープ多結晶Si104、タングステンポリシリサイド膜16を形成する(図5)。

【0024】次にフォトリソグラフィ、エッチング工程によって、図6に示すように、タングステンシリサイド膜16の所定の領域だけをエッチング除去する。これにより、分割されたタングステンシリサイド膜16a~16cを得る。図中の20はフォトレジストを示す。

【0025】更に、ポリサイド配線層を再びフォトリソグラフィ、エッチング工程により形成する。これによって、MOSトランジスタのゲート電極及び配線層が形成される(図7、図8)。

【0026】それ以後は、よく知られているように、トランジスタのソース・ドレイン領域への不純物の拡散層の形成、層間絶縁膜形成等の工程を行って、LSIが完成される。

#### 【0027】実施例2

次に、図9を参照して本発明の第2の実施例を説明する。これは、実施例1の変形例と言えるものである。

【0028】相互拡散は、前掲のC. L. Chuらの文献にも示されているように、拡散源となる領域、例えばN型にドーパされたポリサイドの面積が大きい方が顕著になる。従って、大面積のN領域(あるいはP領域)に隣接したP、Nの境界では、特に本発明は有効である。ところが、ポリサイドの面積が小さい場合には、相互拡散がある程度でおさまるので、あえて本発明を適用せずに済む場合もある。

【0029】このようなことを考慮してなされたのが、本発明のこの第2の実施例である。本例の平面での構造を図9に示す。

【0030】本実施例では、比較的ポリサイド面積が小さい図9(a)の部分では、あえて、本発明によるタングステンシリサイドの除去は行っていない。一方、図9(b)に示すように、広いポリサイド領域に継がるポリサイドのトランジスタゲートでは、P、N領域の境界におけるタングステンシリサイドの除去領域(41で示す領域)だけでなく、広い領域と狭い領域の間の部分でも、タングステンシリサイドの除去領域(41'で示す領域)を設け、大量の不純物のゲート部への流入を防いでいる。

【0031】このように、本発明は、ポリサイドゲート

のP、N領域の境界全てに適用されることは必ずしも必要でなく、またPN境界以外でも、大面積部分と小面積部分とのパターン境界部に適用することが有効である。

【0032】本発明は、タングステンシリサイドを用いたポリサイドだけでなく、モリブデンシリサイド、コバルトシリサイド等を用いた各種ポリサイド膜、更にポリシリコンと金属との積層配線にも適用することが可能であることは言うまでもない。

#### 【0033】実施例3

ポリサイドゲート電極は配線抵抗を下げ回路動作の高速化をねらったものであるが、例えば図4のようなレイアウトではポリサイド配線の長さが短く、また大電流は流れない場合がある。

【0034】従って、このような場合には、トランジスタ部分も含めてシリサイド膜を除去してしまうことも可能である。このようにしたのが本実施例である。この場合のレイアウトを図10に示す。

#### 【0035】実施例4

本実施例を図11に示す。図11(a)はトランジスタの幅方向断面であり、図11(b)は同じ長手方向断面である。

【0036】本実施例では、P<sup>+</sup>不純物とN<sup>+</sup>不純物がシリサイドを通して相互拡散するのを防ぐため、シリサイド16の一部を除去し、シリサイド16a、16bの構造とする。この除去する箇所16fは、P-N接合10を除くP-N接合に近い箇所の一部とする。P-N接合を含んだ場合、P-N接合の高い抵抗が入ってしまい、高速化が損なわれるが本実施例ではそのおそれがない。

【0037】本実施例では、シリサイド16の除去方法は、レジストまたは他のシリサイドと選択比の取れる物質でマスクし、エッチングすることによって行った。除去する箇所は、P側、N側どちらでもよい。

#### 【0038】

【発明の効果】本発明によれば、異なる導伝型を有する半導体材料層が接続して成る構造について不純物の相互拡散が起きるという問題を解決できるとともに、不必要なPN接合ができてしまうなどの不都合の生じない半導体装置、及びその製造方法を提供できる。

#### 【図面の簡単な説明】

【図1】実施例1の半導体装置の構成を示す断面図である。

【図2】従来技術を示す断面図である。

【図3】背景技術を示す図であり、改良した半導体装置の構成例を示す断面図である。

【図4】実施例1の構成を示す平面図である。

【図5】実施例1の工程(1)を断面で示す図である。

【図6】実施例1の工程(2)を断面で示す図である。

【図7】実施例1の工程(3)を断面で示す図である。

【図8】実施例1の工程(4)を断面で示す図である。

【図9】実施例2の半導体装置の構成を示す平面図である。

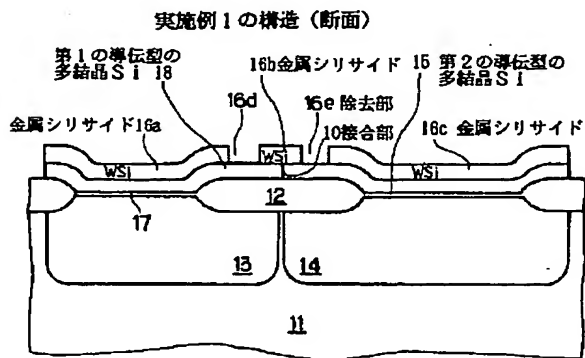
【図10】実施例3の半導体装置の構成を示す平面図である。

【図11】実施例4の半導体装置の構成を示す断面図である。

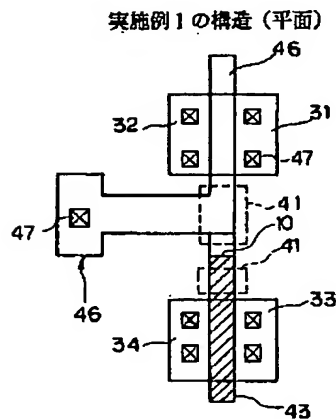
【符号の説明】

- 10 (異なる導伝型領域同士の) 境界  
 11 基板  
 15, 18 導伝型の異なる多結晶Si  
 16, 16a, 16b 金属あるいは金属シリサイド  
 16d, 16e, 16f 除去部

【図1】

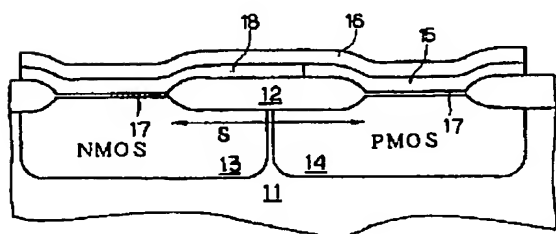


【図4】



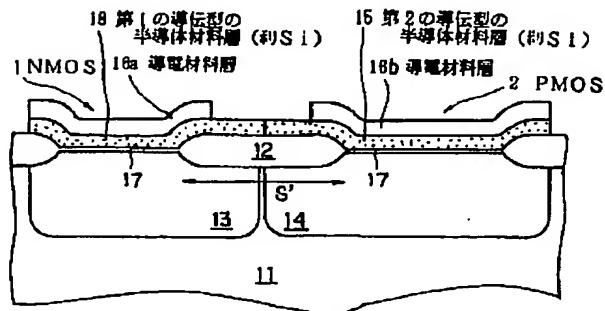
【図2】

従来技術



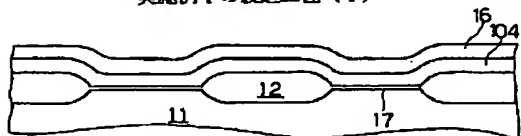
【図3】

改良した半導体装置の構造例 (背景技術)

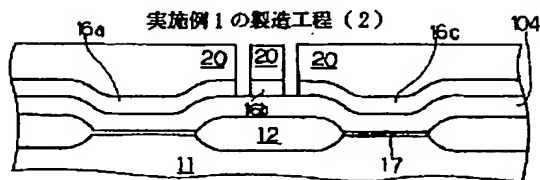


【図5】

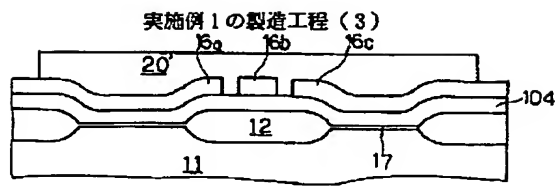
実施例1の製造工程 (1)



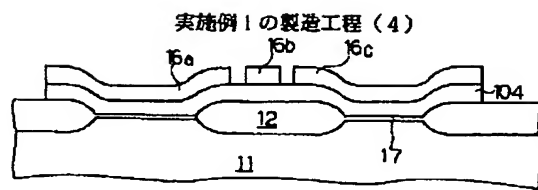
【図6】



【図7】

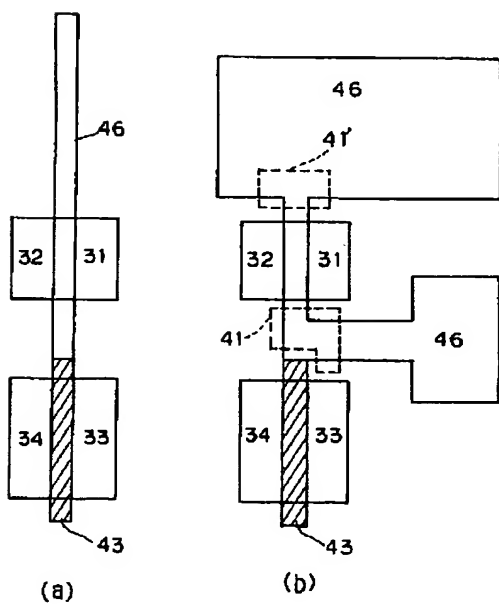


【図8】



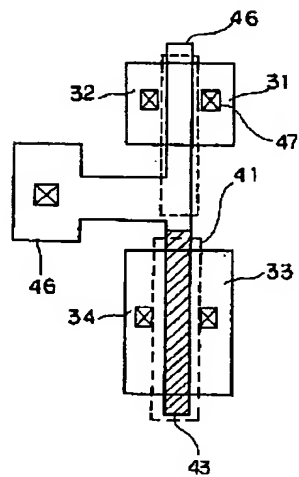
【図9】

実施例2の構造(平面)



【図10】

実施例3の構造(平面)

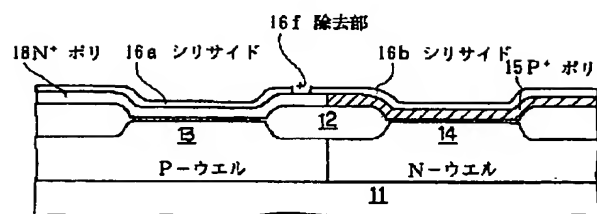


【図11】

## 実施例4

(a)

トランジスタW方向



(b)

トランジスタL方向

